

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 29/78	(11) 공개번호 (43) 공개일자	특2001-0077099 2001년08월17일
(21) 출원번호	10-2000-0004677	
(22) 출원일자	2000년01월31일	
(71) 출원인	삼성전자 주식회사 윤종용	
(72) 발명자	경기 수원시 팔달구 매탄3동 416 김규철	
(74) 대리인	경기도성남시분당구구미동무지개마을 L G아파트209동703호 이영필, 정상빈, 광덕영	

심사청구 : 있음

(54) 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터 및 그 제조방법

요약

고집적화 된 반도체 소자에 적합하고, 래치-업 발생없이 효과적으로 웰 바이어스를 인가할 수 있는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터 및 그 제조방법에 관해 개시한다. 본 발명에 의한 웰 바이어스 영역은 반도체 기판을 자기정렬 방식으로 식각한 트랜치에 형성하기 때문에, 칩의 면적을 축소시키면서 전기적 특성이 악화되지 않고, 웰 바이어스를 효과적으로 모스 트랜지스터에 인가할 수 있다.

도표도

도2

명세서

도면의 간단한 설명

도 1은 일반적인 모스 트랜지스터의 웰 바이어스 영역을 설명하기 위해 도시한 단면도이다.
도 2는 본 발명에 의한 모스 트랜지스터의 웰 바이어스 영역을 설명하기 위해 도시한 단면도이다.
도 3 내지 도 8은 본 발명에 의한 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법을 설명하기 위해 도시한 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

- | | |
|----------------------------|------------------|
| 100: 제1 도전형 웰이 구성된 반도체 기판, | 102: 게이트 산화막, |
| 104: 게이트 전극, | 106: 캡핑층, |
| 108: 게이트 스페이서, | 110: 게이트 패턴, |
| 111: 웰. 디. 디(LDD) 영역, | 112: 고농도 불순물 영역, |
| 113: 트랜치, | 114: 웰 바이어스 영역, |
| 115: 소오스/드레인 영역, | 116: 소오스/드레인 콘택, |
| 116': 콘택부, | 117: 포토레지스트 패턴. |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 메모리 셀에 적용되는 모스 트랜지스터 및 그 제조방법에 관한 것이다.

반도체 집적회로의 기본 소자인 모스 트랜지스터(MOS transistor)는 통상 N형 또는 P형의 웰(well) 내에 구성된다. 이 경우, 특별한 경우를 제외하고는 N웰에는 드레인 전압인 V_{dd}를 공급하고, P웰에는 V_{ss}를 인가한다. 이때, 동일한 P웰 내에 다수개의 N 모스 트랜지스터가 존재하면, 개개의 N 모스 트랜지스터에 대하여 웰 바이어스(well bias)를 인가하기 위한 콘택을 형성하지 않고, 칩의 면적 감소를 위해 공통으로 하나만 형성한다. 상술한 공통 타입(common type)의 웰 바이어스 콘택을 사용하면, 웰 바이어스 콘택에 인접한 N 모스 트랜지스터에는 문제가 없으나, 상대적으로 떨어져 있는 N 모스 트랜지스터의 웰 바이어스

콘택에는 문제가 발생한다. 즉, 떨어져 있는 N 모스 트랜지스터의 웰 바이어스 콘택은 떨어진 거리에 비례하여 발생하는 높은 저항 문제로 인하여 래치-업(latch-up) 등의 문제가 발생한다. 상기 래치-업은 모스 트랜지스터에 있어서 외부 전압의 변동, 전기적 잡음 또는 이온 방사(ion radiation) 등이 원인이 되어 모스 트랜지스터가 비정상적으로 턴-온(Turn-on)되는 현상으로서, 트랜지스터의 전기적 특성이 비정상적으로 변화하거나, 트랜지스터가 파괴되는 현상을 말한다.

따라서, 이러한 래치-업을 방지하기 위해서는 다수의 N 모스 트랜지스터에 대하여 각각 웰 바이어스 콘택을 만들어 주어야 하나, 이때에는 칩 크기가 커지기 때문에 문제점이 있다. 따라서, 좋은 전기적 특성을 얻는 과제와, 칩 크기를 줄이는 과제 사이에는 반비례 관계가 성립되며, 어느 한쪽도 희생시킬 수 없는 입장이다. 상기 전기적 특성을 개선하는 것과, 칩 크기를 줄이는 것을 상호 절충하는 방법으로 2개의 트랜지스터 당(per) 1개의 웰 바이어스 콘택(well bias contact)을 형성하는 방법이 있다.

도 1은 일반적인 모스 트랜지스터의 웰 바이어스 영역을 설명하기 위해 도시한 단면도이다.

도 1을 참조하면, 제1 도전형인 P형의 웰(well)이 있는 반도체 기판(10) 위에 게이트산화막(12), 게이트 전극(14), 캡핑층(16) 및 게이트 스페이서(18)로 구성된 게이트 패턴이 두 개 구성되어 있다. 상기 두 개의 게이트 패턴을 중심으로 반도체 기판(10)의 표면에는 제2 도전형인, N형의 불순물 영역, 즉 소오스/드레인 영역(26)이 각각 형성되어 있다. 도면에서 참조부호 20은 중간절연막을 나타내고, 참조부호 22는 상기 소오스/드레인 영역의 콘택을 각각 나타낸다. 또한, 참조부호 24는 제1 도전형의 불순물이 추가로 이온주입되어 형성된 웰 바이어스 영역(well bias area)을 가리킨다.

여기서 참조부호 22는 트랜지스터의 V_{dd}가 인가되는 콘택이다. 그러나, 참조부호 22'는 V_{ss}를 인가하기 위한 콘택의 역할과, 웰 바이어스를 인가하기 위한 콘택의 역할을 동시에 수행한다.

상술한 일반적인 모스 트랜지스터의 콘택에서, 웰 바이어스를 인가하기 위한 콘택은 반도체 기판(10) 내에서 면적을 줄이는데 한계가 있다. 즉, 집적도를 향상시키기 위하여 웰 바이어스를 인가하기 위한 콘택의 면적을 줄이게 되면, 모스 트랜지스터의 전기적 특성이 저하될 수 있는 소지가 있다. 따라서, 상술한 일반적인 모스 트랜지스터의 콘택은 칩의 면적을 줄여 반도체 소자의 집적도를 향상시키는 점에서 한계가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 칩의 면적을 줄여 고집적화를 달성하면서, 동시에 래치-업 현상을 유발하지 않고 전기적 특성을 보존할 수 있는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 의한 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터는, ① 제1 도전형의 웰이 구성된 반도체 기판과, ② 상기 반도체 기판 위에 게이트산화막, 게이트 전극, 캡핑층을 순차적 적층하고, 상기 게이트 전극과 캡핑층 측면에 게이트 스페이서가 형성된 적어도 2 개 이상의 게이트 패턴과, ③ 상기 게이트 패턴 측면에 인접한 반도체 기판의 표면에 구성되고 제2 도전형의 불순물이 도핑된 소오스/드레인 영역과, ④ 상기 두 개 이상의 게이트 패턴 사이에서 상기 게이트 스페이서를 이용하여 자기 정렬 방식으로 반도체 기판을 식각하여 구성한 트랜치와, ⑤ 상기 트랜치의 측면 및 바닥면에 구성된 웰 바이어스 영역과, ⑥ 상기 트랜치를 채우는 콘택부를 포함하여 구성된다.

본 발명의 바람직한 실시예에 의하면, 상기 게이트 패턴의 캡핑층은 산화막 또는 산화막의 복합막인 것이 적합하고, 상기 콘택부는 텅스텐(W)으로 이루어진 것이 적합하다.

바람직하게는, 상기 소오스/드레인 영역은 웰, 디, 디(LDD) 영역과 고농도 불순물 영역으로 이루어진다. 또한, 상기 트랜치의 깊이는 상기 소오스/드레인 영역을 관통하여 상기 반도체 기판의 제1 도전형 웰과 연결되는 깊이인 것이 적합하며, 상기 콘택부는 상기 소오스/드레인 영역과 트랜치의 상부 측면에서 연결되는 것이 적합하다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 의한 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법은 아래의 공정을 포함한다. 먼저 제1 도전형의 웰이 구성된 반도체 기판에 게이트 산화막, 게이트 전극 및 캡핑층을 순차적으로 적층한다. 그 후, 상기 캡핑층 및 게이트 전극을 패터닝하고 게이트 전극을 이온주입 마스크로 이온주입을 진행하여 웰, 디, 디 영역을 형성하고, 이어서 게이트 스페이서를 형성한다. 이어서 상기 게이트 스페이서가 형성된 게이트 패턴을 이온주입 마스크로 반도체 기판에 제2 도전형 불순물을 이온주입하여 고농도 불순물 영역을 형성한다. 상기 결과물에 포토레지스트 패턴을 형성하여 상기 두 게이트 패턴 사이를 노출시킨다. 계속해서 상기 포토레지스트 패턴을 이용하여 반도체 기판을 자기정렬 방식으로 식각하여 상기 소오스/드레인 영역을 관통하면서 상기 제1 도전형 웰과 연결되는 트랜치를 형성한다. 상기 트랜치의 측면 및 바닥면에 제1 도전형 불순물을 이온주입하여 웰 바이어스 영역을 형성한다. 마지막으로 상기 포토레지스트 패턴을 제거하고, 도전물질로 트랜치를 매립하여 콘택부를 형성한다.

본 발명의 바람직한 실시예에 의하면, 상기 캡핑층은 산화막 또는 산화막의 복합막을 사용하여 2000~4000 Å 두께로 형성하는 것이 적합하고, 상기 콘택부는 텅스텐으로 형성하는 것이 적합하다.

상기 고농도 불순물 영역을 형성한 후, 상기 반도체 기판 전면에 상기 게이트 패턴을 덮는 중간절연막을 형성하는 공정을 더 구비하는 것이 바람직하다.

바람직하게는, 상기 트랜치는 반도체 기판 표면으로부터 0.2~0.8 μm 깊이인 것이 적합하며, 상기 웰 바이

어스 영역을 형성하기 위한 이온주입-공정에서 이온주입량은 $1E13 \sim 1E15$ ions/ cm^2 범위인 것이 적합하다. 또한, 상기 콘택부를 형성하는 방법은, 반도체 기판에 도전물질층을 충분히 적층하고 화학기계적 연마(CMP: Chemical Mechanical Polishing)를 진행하여 형성한다. 이때, 상기 화학기계적 연마 공정에서 상기 캠핑층을 연마저지층으로 사용하는 것이 적합하다.

본 발명에 따르면, 콘택부를 반도체 기판에서 트랜치를 형성하여 구성하기 때문에 모스 트랜지스터의 전기적 특성이 악화되지 않고, 칩의 면적을 축소시켜 고집적화를 달성할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터

도 2는 본 발명에 의한 모스 트랜지스터의 웰 바이어스 영역을 설명하기 위해 도시한 단면도이다.

도 2를 참조하면, 본 발명에 의한 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터는, ① 제1 도전형의 웰이 구성된 반도체 기판(100)과, ② 상기 반도체 기판(100) 위에 게이트산화막(102), 게이트전극(104), 캠핑층(106)을 순차적 적층하고, 상기 게이트 전극(104)과 캠핑층(106) 측면에 게이트 스페이서(108)가 형성된 2개 이상의 게이트 패턴(110)과, ③ 상기 게이트 패턴(110) 하부의 채널 영역을 사이에 두고 상기 게이트 패턴(110)의 측면에 형성되고 도전형 불순물이 도핑된 소오스/드레인 영역(115)과, ④ 상기 두 개 이상의 게이트 패턴(110) 사이에서 상기 게이트 스페이서(108)를 이용하여 자기 정렬 방식으로 반도체 기판을 식각하여 구성한 트랜치(113)와, 상기 트랜치의 측면 및 바닥면에 구성된 웰 바이어스 영역(114)과, 상기 자기 정렬 방식으로 식각된 트랜치를 채우는 콘택부(butted contact, 116')로 구성된다.

여기서, 상기 소오스/드레인 영역(115)은 웰.디.디 영역(111)과 고농도 불순물 영역(112)로 구성된다. 이때, 상기 캠핑층(106)은 산화막 또는 산화막의 복합막을 사용하여 형성할 수 있으며, 콘택부(116')는 도전물질, 예컨대 텅스텐을 사용하여 구성할 수 있다. 또한, 상기 웰 바이어스 영역(112)의 제1 도전형 불순물 농도는 $1E18 \sim 1E20$ ions/ cm^2 범위로 구성한다.

여기서, 두 개의 게이트 패턴(110) 사이에 자기정렬 방식으로 트랜치를 구성하여 형성된 콘택부(116')는 소오스/드레인 영역(112)과 트랜치의 상부 측면에서 서로 연결되면서, 웰 바이어스 영역(114)과는 측면과 바닥면 두 곳에서 연결된다.

그러므로, 적은 면적 내에서 웰 바이어스가 인가되는 면적을 더욱 넓게 할 수 있다. 따라서, 웰 바이어스 영역의 면적이 줄어들더라도 래치-업과 같은 문제가 발생하지 않고 칩의 크기를 줄일 수 있다.

자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법

도 3 내지 도 8은 본 발명에 의한 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법을 설명하기 위해 도시한 단면도들이다.

도 3을 참조하면, N형이나 P형 웰(well)이 구성된 반도체 기판(100)에 게이트 산화막(102)과 폴리실리콘으로 된 게이트 전극(104) 및 산화막 또는 산화막의 복합막으로 된 캠핑층(106)을 순차적으로 적층한다. 이때, 상기 게이트 전극(104) 및 캠핑층(106)은 $2000 \sim 4000 \text{ \AA}$ 의 두께로 적층하는 것이 바람직하다.

도 4를 참조하면, 상기 캠핑층(106) 위에 포토레지스트막(미도시)을 도포하고 사진 및 식각공정을 진행하여 하부의 캠핑층(106) 및 폴리실리콘으로 된 게이트 전극(104)을 패터닝한다. 그 후, 패터닝된 캠핑층(106) 및 게이트 전극(104)을 이온주입마스크로 사용하여 제2 도전형 불순물을 $5E13 \sim 1E15$ ions/ cm^2 범위로 이온주입한다. 상기 이온주입된 반도체 기판(100)을 열처리하여 반도체 기판(100) 표면에 웰.디.디(LDD) 영역(111)을 형성한다.

도 5를 참조하면, 상기 웰.디.디 영역(111)이 형성된 반도체 기판 전면(全面)에 게이트 스페이서용 절연막, 예컨대 질화막을 $1000 \sim 3000 \text{ \AA}$ 두께로 도포한다. 그 후, 이방성 건식식각을 진행하여 상기 캠핑층(106) 및 게이트 전극(104)의 측면에 게이트 스페이서(108)를 형성한다. 상기 게이트 스페이서(108)가 형성된 게이트 패턴(110)을 이온주입 마스크로 제2 도전형 불순물을 $3E15$ ions/ cm^2 이상의 고농도로 이온주입한다. 상기 이온주입된 반도체 기판에 열처리를 수행하여 고농도 불순물 영역(112)을 형성함으로써, 웰.디.디 영역과 고농도 불순물 영역(112)으로 이루어진 소오스/드레인 영역(115)을 형성한다.

도 6을 참조하면, 상기 소오스/드레인 영역(115)이 형성된 반도체 기판에 포토레지스트 패턴(117)을 형성한다. 상기 포토레지스트 패턴(117)은 상기 두 개의 게이트 패턴(110) 사이를 노출시키도록 형성한다. 그 후, 상기 노출된 반도체 기판에서 게이트 산화막(102)을 제거한 후, 반도체 기판의 일부를 자기정렬 방식으로 식각하여 트랜치(113)를 형성한다. 이러한 트랜치(113)의 깊이는 상기 소오스/드레인 영역(115)을 관통하여 반도체 기판에 형성된 제1 도전형 웰과 접촉되도록 형성한다. 따라서, 모스 트랜지스터가 들어가는 반도체 소자의 종류에 따라서 트랜치의 깊이는 다를 수 있으나 SRAM(Static Random Access Memory)의 경우에는 반도체 기판 표면으로부터 약 $0.2 \sim 0.8 \mu\text{m}$ 의 깊이로 트랜치를 형성하는 것이 바람직하다.

한편, 트랜치(113)를 형성하는 다른 실시예로, 상기 소오스/드레인 영역(115)을 형성하고 포토레지스트 패턴(117)을 형성하기 전에 반도체 기판의 전면에 층간절연막(미도시)을 추가로 구성할 수 있다. 따라서 트랜치를 식각하는 과정에서 발생가능한 게이트 전극(104)에 대한 손상을 방지할 수 있다. 상기 층간절연막은 캠핑층(106)과 같이 산화막 또는 질화막을 포함하는 단일막 또는 복합막을 사용하여 구성하는 것이 적합하다.

이때, 상기 포토레지스트 패턴(117) 형성은 엄격한 정확도를 요구하지 않는다. 왜냐하면 포토레지스트 패턴(117)이 상기 캠핑층(106) 및 게이트 스페이서(108)만 노출시키면, 후속공정에서 자기정렬 방식으로 식각을 수행하기 때문에 약간의 미스알라인(misalign)이 발생하더라도 문제가 되지 않기 때문이다.

상기 포토레지스트 패턴(117)이 형성되어 있는 상태에서 제1 도전형 불순물을 약 $1E13 \sim 1E15 \text{ ions/cm}^2$ 의 양으로 이온주입시켜 웰 바이어스 영역(114)을 형성한다. 그 후 열처리를 진행하여 이온주입된 불순물을 안정화시킨다. 상기 열처리를 완료하였을 때, 상기 웰 바이어스 영역(114)의 제1 불순물 농도가 $1E18 \sim 1E20 \text{ ions/cm}^2$ 범위의 고농도를 유지하는 것이 바람직하다.

도 7을 참조하면, 상기 웰 바이어스 영역(114) 형성이 끝난 반도체 기판에서 상기 포토레지스트 패턴(117)을 제거한다. 이어서, 상기 트랜치를 채우면서 반도체 기판의 전면(全面)을 충분히 덮을 수 있는 도전물질, 예컨대 텅스텐(W)층을 증착한다.

도 8을 참조하면, 상기 텅스텐층(116)이 적층된 반도체 기판에 대하여 화학기계적 연마(CMP) 공정을 수행하여 반도체 기판의 전면을 평탄화시켜 소오스/드레인 콘택부(116) 및 콘택부(116')를 형성한다. 이때, 상기 게이트 패턴의 캡핑층(106)은 화학기계적 연마공정에서 연마제지층(polishing stopper)으로 작용하게 된다. 따라서 두 개의 게이트 패턴 사이에는 본 발명에 의한 웰 바이어스를 인가할 수 있는 콘택부(116')가 형성되고, 양옆에는 소오스/드레인 콘택부(116)가 각각 텅스텐을 재질로 구성된다.

본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

발명의 효과

따라서, 상술한 본 발명에 따르면, 첫째, 웰-바이어스 콘택 영역(well bias contact area)을 형성하는 공정에서, 자기정렬 방식으로 형성하기 때문에 미스얼라인(misalign) 발생을 방지한다. 둘째, 동일한 면적 내에서 트랜치를 이용하여 웰 바이어스를 인가하기 때문에 래치-업(latch-up)의 발생없이 효과적으로 웰 영역에 바이어스를 인가할 수 있다. 셋째, 웰 바이어스 콘택부를 구성하기 위한 트랜치를 깊이를 조정하여 웰 영역과의 접촉면적을 넓힐 수 있기 때문에 반도체 소자의 고집적화를 달성하기에 유리하다.

(57) 청구의 범위

청구항 1. 제1 도전형의 웰이 구성된 반도체 기판;

상기 반도체 기판 위에 게이트산화막, 게이트 전극 및 캡핑층이 순차적 적층되고, 상기 캡핑층과 게이트 전극 측면에 게이트 스페이서가 구성된 적어도 2개 이상의 게이트 패턴;

상기 게이트 패턴 측면에 인접한 반도체 기판의 표면에 구성되고 제2 도전형의 불순물이 도핑된 소오스/드레인 영역;

상기 두 개 이상의 게이트 패턴 사이에서 게이트 스페이서를 이용하여 자기 정렬 방식으로 반도체 기판을 식각하여 구성한 트랜치;

상기 트랜치의 하부 측면 및 바닥면에 구성된 웰 바이어스 영역; 및

상기 자기 정렬방식으로 식각된 트랜치를 채우는 콘택부를 구비하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 2. 제1항에 있어서,

상기 게이트 패턴의 캡핑층은 산화막 또는 산화막의 복합막인 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 3. 제1항에 있어서,

상기 제2 도전형의 불순물이 도핑된 소오스/드레인 영역은 웰. 디. 디(LDD) 영역과, 고농도 불순물 영역으로 이루어지는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 4. 제1항에 있어서,

상기 트랜치의 깊이는 상기 소오스/드레인 영역을 관통하여 상기 반도체 기판의 제1 도전형 웰과 연결되는 깊이인 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 5. 제1항에 있어서,

상기 트랜치의 측면 및 바닥면에 구성된 웰 바이어스 영역은 제1 도전형 불순물이 $1E18 \sim 1E20 \text{ ions/cm}^2$ 의 농도로 도핑된 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 6. 제1항에 있어서,

상기 콘택부는 상기 소오스/드레인 영역과 트랜치의 상부 측면에서 서로 연결되는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 7. 제1항에 있어서,

상기 트랜치를 채우는 콘택부는 텅스텐(W)으로 이루어진 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 MOS 트랜지스터.

청구항 8. 제1 도전형 웰이 구성된 반도체 기판에 게이트산화막, 게이트 전극, 캡핑층을 순차적으로 적층하는 공정;

상기 캡핑층 및 게이트 전극을 패터닝하는 공정;

상기 패터닝이 완료된 게이트 전극을 이온주입 마스크로 상기 반도체 기판에 제2 도전형의 저농도 불순물을 이온주입하여 웰.디.디 영역을 형성하는 공정;

상기 엘.디.디 영역이 형성된 반도체 기판 전면에 스페이서용 절연막을 증착하고 이방성 식각을 진행하여 게이트 스페이서를 형성하는 공정;

상기 게이트 스페이서가 형성된 게이트 패턴을 이온주입 마스크로 반도체 기판에 제2 도전형 불순물을 주입하여 고농도 불순물 영역을 형성하는 공정;

상기 결과물에 포토레지스트 패턴을 형성하여 상기 게이트 패턴 사이의 고농도 고농도 불순물 영역을 노출시키는 공정;

상기 캡핑층 및 게이트 스페이서를 이용하여 반도체 기판을 자기정렬 방식으로 식각하여 트렌치를 형성하는 공정;

상기 트렌치의 하부 측면 및 바닥면에 제1 도전형 불순물로 이온주입을 하여 웰 바이어스 영역을 형성하는 공정;

상기 포토레지스트 패턴을 제거하고 상기 트렌치를 도전물질로 매립하여 콘택부를 형성하는 공정을 구비하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터의 제조방법.

청구항 9. 제8항에 있어서,

상기 캡핑층은 산화막 또는 산화막의 복합막으로 2000~4000 Å 두께로 형성하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 10. 제8항에 있어서,

상기 고농도 불순물 영역을 형성한 후, 상기 반도체 기판 전면에 상기 게이트 패턴을 덮는 층간절연막을 형성하는 공정을 더 구비하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 11. 제8항에 있어서,

상기 트렌치의 깊이는 상기 고농도 불순물 영역을 관통하여 상기 제1 도전형 웰과 연결되는 깊이인 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 12. 제8항에 있어서,

상기 트렌치는 반도체 기판으로부터 0.2~0.8 μ m 깊이인 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 13. 제8항에 있어서,

상기 트렌치를 매립하는 도전물질은 텅스텐인 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 14. 제8항에 있어서,

상기 콘택부를 형성하는 방법은,

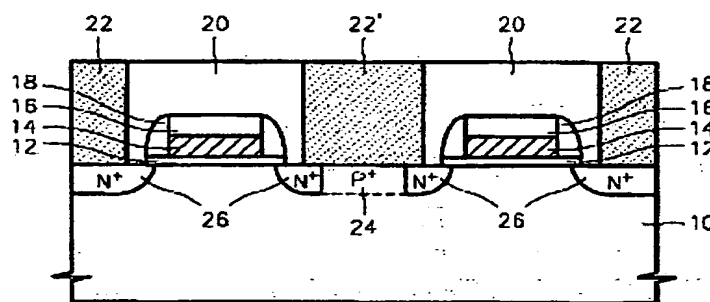
상기 포토레지스트 패턴이 제거된 반도체 기판의 전면에 도전물질을 증착하고 화학기계적 연마(CMP)로 평탄화를 진행하여 형성하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

청구항 15. 제14항에 있어서,

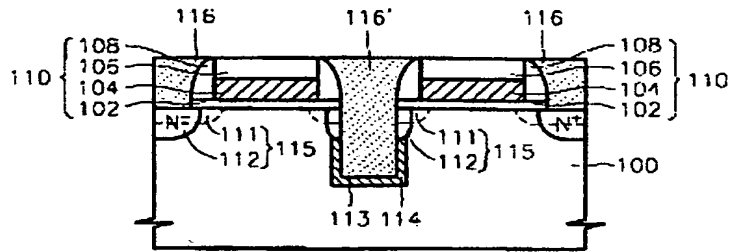
상기 화학기계적 연마 공정은 상기 캡핑층을 연마저지층으로 사용하는 것을 특징으로 하는 자기 정렬된 웰 바이어스 영역을 갖는 모스 트랜지스터.

도면

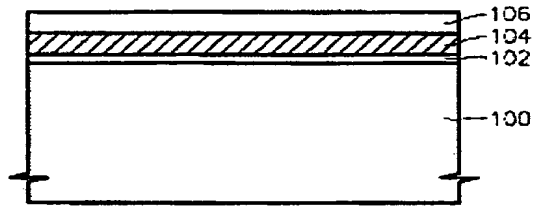
도면1



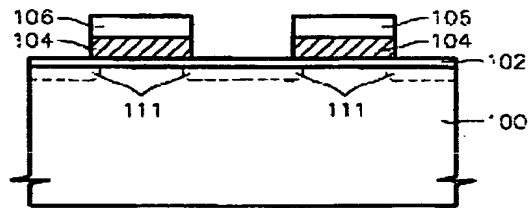
도 2



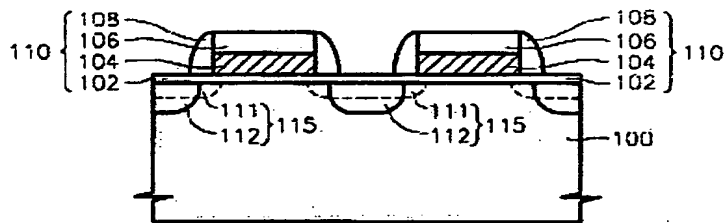
도 3



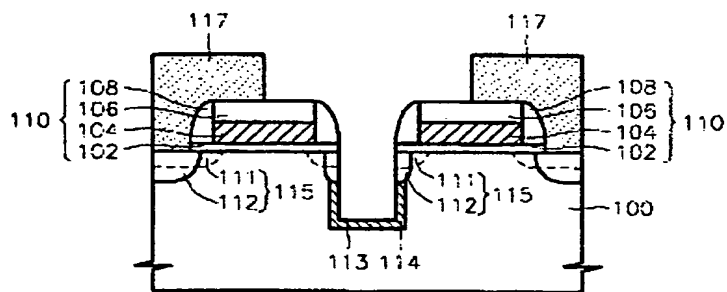
도 4



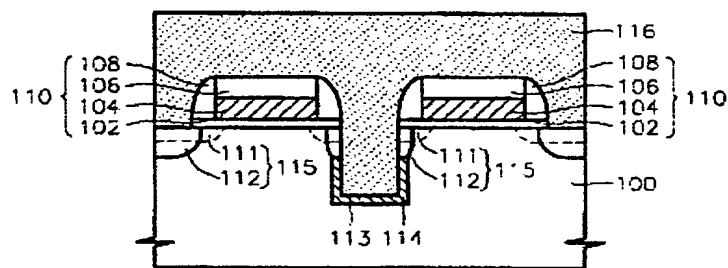
도 5



도 26



도 27



도 28

